



Riviera-PRO™

マルチプラットフォーム高速 HDL シミュレータ

Riviera-PRO は、Windows®/Linux に対応した高速 HDL シミュレータです。VHDL、Verilog®, SystemVerilog、SystemCTM の混在シミュレーションが可能です。また、アサーション言語対応、STARC® 準拠 Lint 機能、サーバーファームテクノロジーなどにより大規模 FPGA や ASIC の検証に最適なツールです。

◆ 混在シミュレーション

独自のシングル・カーネル・シミュレーション・テクノロジーにより、VHDL、Verilog、SystemVerilog および EDIF が混在したデザインのシミュレーションをサポートしています。

設計工程に応じたシミュレーションモードの切替も GUI 上で簡単に設定することができます。

- シミュレーション速度優先のハイパフォーマンスモードとデバッグ優先のデバッグモード
- SLP エンジン - Verilog デザイン用に開発された新規の高速シミュレーションエンジン

◆ SystemC 協調検証

SystemC は Riviera-PRO によってシームレスに統合されます。純粋な SystemC または SystemC と VHDL、Verilog、SystemVerilog が混在したデザインのシミュレーションが可能です。SystemC と HDL のどちらにもブレークポイントの設定ができます。ステップ実行やデバッグについても統合された環境で実行できます。

◆ アサーションベース検証

アサーションは、デザインの仕様を明示的に記述し、HDL デザインとの不一致、不整合をモニターします。アサーション・ベース検証を行うことにより、設計品質を向上し検証工程を大幅に削減します。Riviera-PRO は、下記のアサーション言語に対応しています。

- SystemVerilog Assertions (SVA)
- Property Specific Language (PSL)
- OpenVera Assertions (OVA)

Name	Hierarchy Path	Value	Evaluation Path Count	Attempt Count	Failure Count	Pass Count	Last Event Time
as_a	sim/bb/UUT	passed	43	0	0	43	4200ns
as_b	sim/bb/UUT	passed	43	0	0	43	4200ns
as_c	sim/bb/UUT	passed	43	0	0	43	4200ns
as_d	sim/bb/UUT	passed	43	0	0	43	4200ns
as_e	sim/bb/UUT	failed	42	1	1	41	4200ns
as_f	sim/bb/UUT	active	42	0	0	41	4100ns
as_h	sim/bb/UUT	inactive	42	0	0	42	4100ns
as_j	sim/bb/UUT	inactive	42	0	0	42	4100ns

◆ STARC 準拠 LINT 機能

株式会社半導体理工学研究センター (STARC) が発行する「RTL 設計スタイルガイド VerilogHDL 編 第2版」に準拠した Lint 機能「ALINT エンジン」を搭載しています。RTL の記述後、コーディングスタイルやクロック/リセット、設計の後工程で発生しうる問題点などをルールに基づいてチェックすることができます。

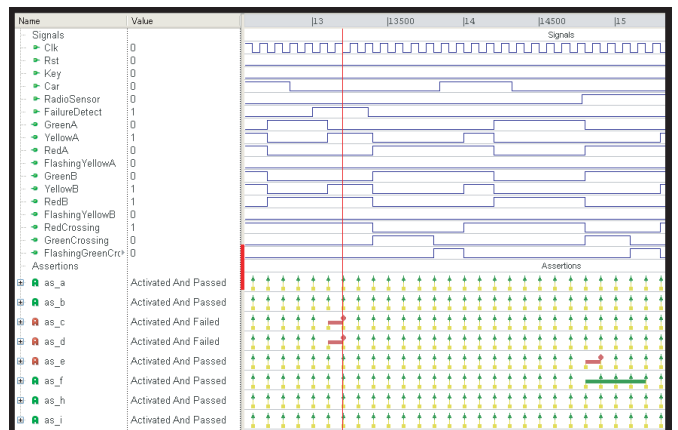
```

AVD8Compare: Info:
AVD8Compare: Info: ----- Summary -----
AVD8Compare: Info: New violation(s) : 154
AVD8Compare: Info: Changed violation(s) : 0
AVD8Compare: Info: Revised violation(s) : 111
AVD8Compare: Info: Unchanged violation(s) : 0
AVD8Compare: Info: ----- Total : 265 -----
AVD8Compare: Info:
AVD8Compare: Info: File comparison completed successfully. Results saved to "compare.avd8".
AVD8Compare: Info:
AVD8Compare: Info: Linting results comparison report:
AVD8Compare: Info:
AVD8Compare: Info: ----- NEW VIOLATIONS ( 154 ) -----
ALINT: Warning: C:/My_Designs/ALINT/cv.v (84, 1): Instance "top_tb.TOP_CONVERTER". "STARC_VLOG_2.1.1.2" Function "CALC_NEAREST_POW" is not defined in all cases. The results of RTL and post-synthesis simulation will not match. Level 1: Rule. See the details below:
  
```

◆ 高速波形ウィンドウ

Riviera-PRO の波形ウィンドウは、独自のデータ圧縮技術により大量のシミュレーションデータの高速表示、スクローリング、ズームングを実現しています。さらにシミュレーション結果の分析に役立つ各種機能を備えています。

- 波形とソースコードのリンク
- 波形比較
- シミュレーション実行中の波形更新
- アナログ表示
- VCD、拡張 VCD 入出力
- アサーション/ cover ステートメントの表示



◆ コードカバレッジ

コードカバレッジを行うことで検証対象デザインの RTL コードがシミュレーションによってどれだけ実行されたかを定量的に示す指標を得ることができます。カバレッジエンジンは、シミュレーションカーネルに統合されており、シミュレーションスピードに対する影響もほとんどありません。Riviera-PRO は、下記カバレッジ機能をサポートしています。

- ステートメント / ブランチカバレッジ
- トグルカバレッジ
- エクスプレッションカバレッジ
- ファンクショナルカバレッジ
- 各カバレッジ結果のマージ

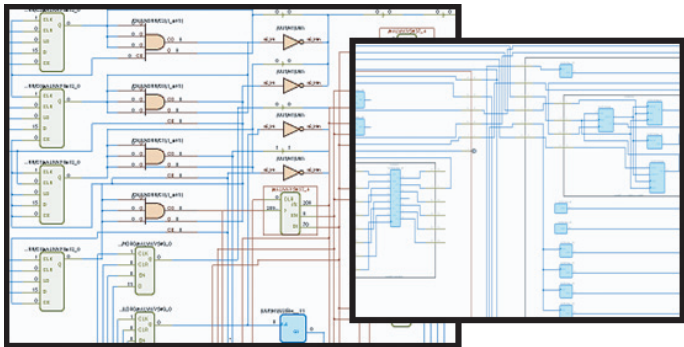
The Cover Viewer window displays a table of coverage items. The table has columns for Name, Hierarchy Path, Type, and Value. The items listed include Check-FSMScenario, Check-LongWaitAck, Check-Simultaneous, Check-BusyPrinter, Check-ForceWrite, Check-FullEvent, Check-EmptyEvent, Check-ReadEvent, Check-WriteEvent, and Check-ReadWriteEvent. The values for these items are either 'not covered' or 'covered'.

◆ 高機能デバッグ・ユーティリティ

Riviera-PRO は、VHDL、Verilog、SystemVerilog およびそれらが混在したデザインの内部トレース、デバッグを効率よく行うための各種デバッグ機能を提供しています。HDL コードとグラフィカルデバッグ機能をクロスリファレンスしながら作業を行うことで、問題点を早期に低減できます。

◆ 拡張データフローウィンドウ

拡張データフローウィンドウは、グラフィカルにデザインを表示し、デバッグを行うための機能です。デザイン中の各プロセスの入出力値、接続関係を視覚的に把握することができます。波形ウィンドウや HDL テキストエディタを連携させながら解析を行うことができます。



◆ X トレース

X トレースによって、シミュレーション中に不定値が出力された原因となるイベントのトレースと確認が行えます。不定値に関する情報は、コンソールウィンドウに表示されます。そして、表示された情報のラインをダブルクリックするとその原因となるソースコードにリンクします。

◆ メモリビューワ

VHDL と Verilog で定義されたメモリの内容を表示します。シミュレーション時に、格納された値をグラフィカルにメモリビューワで観測できます。結果は、保存、編集、再読み込みおよび出力することができ、ROM プログラミングにも利用できます。

◆ SIGNAL AGENT

Signal Agent によってどの階層の VHDL ブロックからも信号のモニター、ドライブが可能です。信号は、インターフェースによって接続されていたり、グローバルパッケージで宣言されている必要はありません。

◆ デザインプロファイラ

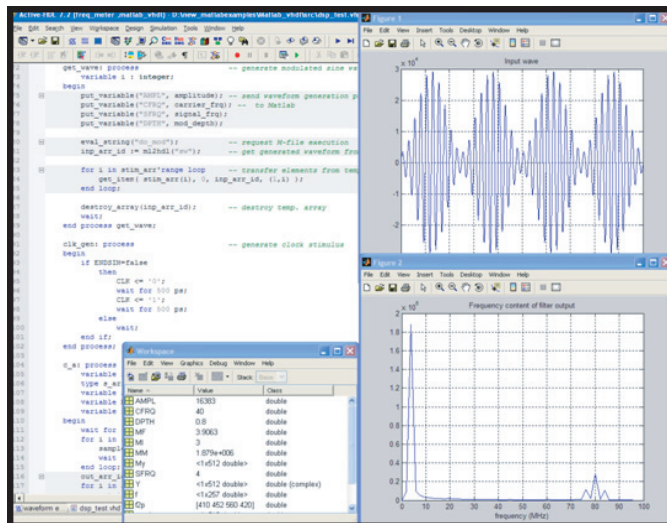
デザインプロファイラでは、シミュレーション実行中にどの HDL ブロックがシミュレーションに負荷をかけているかチェックすることができます。プロファイルされたデータは、個々のブロックおよびそのブロック内の個々のステートメントのシミュレーションにかかった時間を計測します。この結果によって、どのコンポーネント、セクション、ステートメントを最適化して、シミュレーション実行時間を短縮できるかの判断が可能です。

◆ サーバファームテクノロジー

アルデック社のサーバファームマネージャー (SFM) は、数千のシミュレーション実行の並列処理を自動化します。設計者は、数千のシミュレーション実行を SFM でコントロールしながら、シミュレータを起動してインタラクティブな作業を行うことができます。SFM は、ジョブをキューに入れて実行させるだけでなく、シミュレーション結果の収集、視覚化、アーカイブ化を行い、相違点のレポートを生成します。

◆ MATLAB®/Simulink® 協調検証

PLI/VHPI ルーチンにより、Riviera-PRO から M ファイルを呼び出し、HDL コードと M ファイルの通信が可能です。また、既存の HDL コードをアルデック・ブロックセットに変換し、Simulink ダイアグラムに配置して、他のブロックセットと連動した検証が行えます。



◆ 多様なツールインターフェース

Riviera-PRO は、外部言語インターフェースとして IEEE 標準の PLI、VPI、VHPI および DPI インターフェースを備えています。また、下記の個別インターフェースをサポートしています。

- SWIFT インターフェース
- Springsoft® FSDB Writer インターフェース
- Denali® Memory Model インターフェース

◆ ライブラリマネージャ

ライブラリマネージャは、Riviera-PRO 内のすべてのライブラリを効率よく管理します。ライブラリとその内容について次の操作が行えます。

- ライブラリの添付、作成、分離、削除
- 保護レベルに応じたライブラリの暗号化
- ライブラリの論理名の変更
- ライブラリの内容表示
- 特定ライブラリユニットのソースファイルの表示

◆ ライブラリ暗号化

Riviera-PRO は、VHDL や Verilog を暗号化する機能を備えており、社内外へのデザインの配布での安全性を確保します。

プロダクトラインアップ

Riviera-PRO LV
Riviera-PRO LVT
Riviera-PRO LVT-SV

サポートOS

Windows XP / Vista / 7 / Server2003/2008
Linux RHEL 3/4/5、Suse Enterprise Server 11 (32/64bit)

動作環境

- ・メインメモリ：256MB 以上 (推奨 512MB 以上)
- ・HDD 容量：310MB/Windows、530MB/Linux

ライセンス形態

フローティング

アルデック・ジャパン株式会社

〒160-0022 東京都新宿区新宿1-34-15 新宿エーステートビル9F TEL:03-5312-1791 FAX:03-5312-1795
http://www.aldec.co.jp sales-jp@aldec.com

* Riviera-PRO および Aldec は Aldec, Inc. の商標です。その他の製品及び名称は各社の登録商標、商標です。

