



Active-HDL™

Windows® 版高速 HDL シミュレータ

Active-HDL は、グラフィカルデザインエントリ機能を搭載した高速 HDL シミュレータです。Windows ベースのシミュレータとして最高水準のパフォーマンスを誇っています。また、FPGA 各社コンパイル済ライブラリの提供、Xilinx® SecureIP サポート、MATLAB®/Simulink® インターフェースやドキュメント作成支援機能などがあり、FPGA 設計・検証に最適なツールです。

◆ 混在シミュレーション

独自のシングル・カーネル・シミュレーション・テクノロジーにより、VHDL、Verilog®, SystemVerilog および EDIF が混在したデザインのシミュレーションが実行できます。

◆ C/C++/SystemC 協調検証

C/C++/SystemC™ は Active-HDL によってシームレスに統合されます。C/C++/SystemC で記述されたテストベンチと VHDL、Verilog、SystemVerilog デザインモジュールの混在検証が可能です。

◆ アサーションベース検証

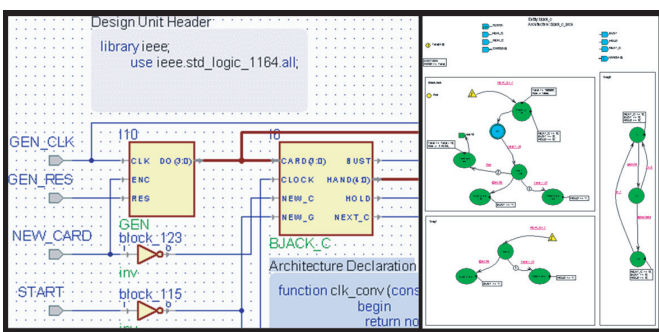
アサーションは、デザインの仕様を明示的に記述し、HDL デザインとの不一致、不整合をモニターします。アサーション・ベース検証を行うことにより、設計品質を向上し検証工程を大幅に削減します。Active-HDL は、下記のアサーション言語に対応しています。

- SystemVerilog Assertions (SVA)
- Property Specific Language (PSL)
- OpenVera Assertions (OVA)

◆ グラフィカルデザインエントリ

Active-HDL には、効率的にデザインを作成するための各種エディタが装備されています。これらのエディタで作成されたデザインから自動的に論理合成可能な VHDL または Verilog ソースコードを生成することができます。生成されたコードは Active-HDL でそのままシミュレーション、デバッグを行うことができます。

- HDL 専用テキストエディタ
- ブロックダイアグラムエディタ
- ステートマシンエディタ



◆ グラフィック変換機能

Active-HDL のグラフィック変換機能 (Code2Graphics™) によって HDL コードや EDIF ネットリストをグラフィカルなブロックダイアグラムに変換することができます。テキストで記述された HDL コードよりもグラフィカルな表示により視覚的にデザインを把握することができます。特に階層構造の複雑なデザインや多くのコンポーネントによって構成されているデザインの把握には有効です。変換されたグラフィカルデザインは再編集してシミュレーションを実行することができます。

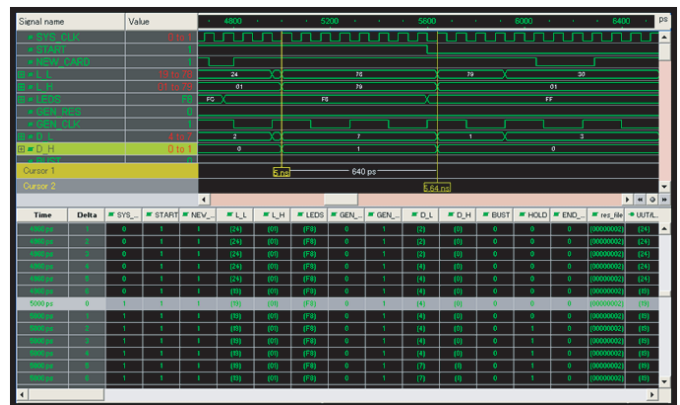
◆ パターンジェネレータ

Stimulators というパターンジェネレータを使用して、クロック、リセット、イネーブルなどの入力信号に対して入力パターンを設定することができます。テストベンチを作成することなく、手軽にシミュレーションを実行できます。

◆ 高速波形ウィンドウ

Active-HDL の波形ウィンドウは、独自のデータ圧縮技術により大量のシミュレーションデータの高速表示、スクローリング、ズームングを実現しています。さらにシミュレーション結果の分析に役立つ各種機能を備えています。

- 波形とソースコードのリンク
- 波形比較
- シミュレーション実行中の波形更新
- タブ形式による List 表示
- VCD、拡張 VCD 入出力



◆ 波形エディタ

波形ウィンドウを Edit モードに切り替えることにより、表示されている波形を直接編集することができます。入力信号の波形を編集し、シミュレーション実行用の入力パターンとして指定することができます。

◆ コードカバレッジ

コードカバレッジを行うことで検証対象デザインの RTL コードがシミュレーションによってどれだけ実行されたかを定量的に示す指標を得ることができます。カバレッジエンジンは、シミュレーションカーネルに統合されており、シミュレーションスピードに対する影響もほとんどありません。Active-HDL は、下記カバレッジ機能をサポートしています。

- ステートメント / ブランチカバレッジ
- トグルカバレッジ
- エクスプレッションカバレッジ
- 各カバレッジ結果のマージ

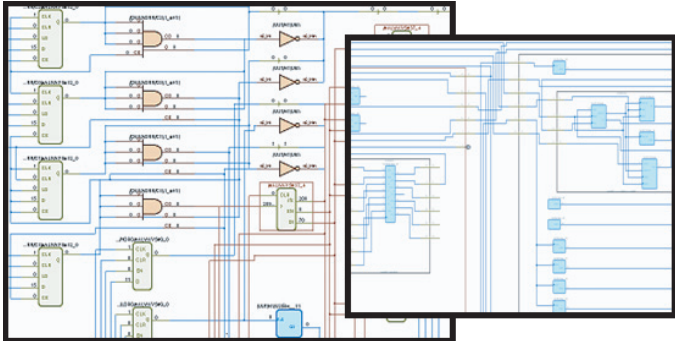


◆ 高機能デバッグ・ユーティリティ

Active-HDL は、VHDL、Verilog、SystemVerilog およびそれらが混在したデザインの内部トレース、デバッグを効率よく行うための各種デバッグ機能を提供しています。

◆ 拡張データフローウィンドウ

拡張データフローウィンドウは、グラフィカルにデザインを表示し、デバッグを行うための機能です。デザイン中の各プロセスの入出力値、接続関係を視覚的に把握することができます。波形ウィンドウや HDL テキストエディタを連携させながら解析を行うことができます。



◆ メモリビュー

VHDL と Verilog で定義されたメモリの内容を表示します。シミュレーション時に、格納された値をグラフィカルにメモリビューで観測できます。結果は、保存、編集、再読み込みおよび出力することができ、ROM プログラミングにも利用できます。

◆ ライブラリマネージャ

ライブラリマネージャは、Active-HDL 内のすべてのライブラリを効率よく管理します。ライブラリとその内容について次の操作が行えます。

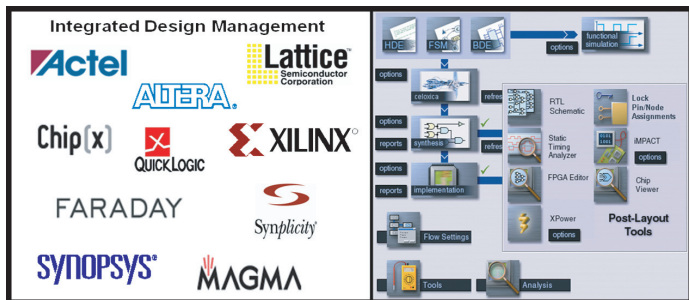
- ライブラリの添付、作成、分離、削除
- 保護レベルに応じたライブラリの暗号化
- ライブラリの論理名の変更
- ライブラリの内容表示
- 特定ライブラリユニットのソースファイルの表示

◆ ドキュメンテーション

ドキュメント作成支援機能として、Active-HDL 内のデータを HTML、PDF またはグラフィック形式に簡単に出力することができます。出力ファイルはシミュレータを起動しなくても、同じ構造と表示を維持します。出力ファイルはチームメンバーで共有でき、システムレベルのドキュメンテーションに最適です。

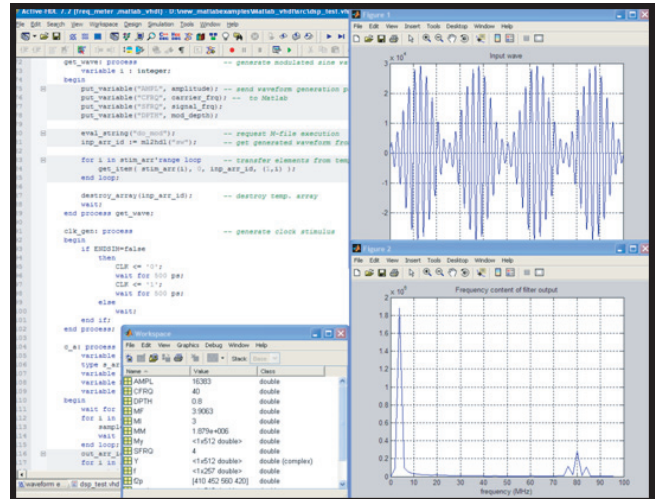
◆ FPGA マルチベンダフロー

FPGA の開発においては全ての FPGA ベンダの開発ツールと 3rd パーティ論理合成ツールをサポートしています。フローコントロール機能によって、Active-HDL からそれらのツールの起動、デザインデータの受け渡し、オプション設定、ツールの実行を行うことができます。また、全ての FPGA ベンダ用コンパイル済 Verilog および VHDL ライブラリを提供しています。Xilinx SecureIP もサポートしています。



◆ MATLAB/Simulink 協調検証

PLI/VHPI ルーチンにより、Active-HDL から M ファイルを呼び出し、HDL コードと M ファイルの通信が可能です。また、既存の HDL コードをアルデック・ブロックセットに変換し、Simulink ダイアグラムに配置して、他のブロックセットと連動した検証が行えます。



◆ SIGNAL AGENT

Signal Agent によってどの階層の VHDL ブロックからも信号のモニター、ドライブが可能です。信号は、インターフェースによって接続されていたリグローバルパッケージで宣言されている必要はありません。

◆ 多様なツールインターフェース

Active-HDL は、外部言語インターフェースとして IEEE 標準の PLI、VPI、VHPI および DPI インターフェースを備えています。また、下記の個別インターフェースもサポートしています。

- SWIFT インターフェース
- Springsoft® FSDB Writer インターフェース
- Denali® Memory Model インターフェース

◆ デザインプロファイラ

デザインプロファイラでは、シミュレーション実行中にどの HDL ブロックがシミュレーションの負荷をかけているかをチェックすることができます。プロファイルされたデータは、個々のブロックおよびそのブロック内の個々のステートメントのシミュレーションにかかった時間を計測します。この結果によって、どのコンポーネント、セクション、ステートメントを最適化して、シミュレーション実行時間を短縮できるかの判断が可能です。

◆ テストベンチの自動生成

波形データやステートマシンからテストベンチを自動生成します。ウィザード形式の画面に従って操作するだけで、テストベンチを作成し実行することができます。完成したテストベンチは、設計工程のどの段階（ビヘイビア、RTL、タイミング）でも使用することができます。

プロダクトラインアップ

Active-HDL Desktop Master
Active-HDL Designer Edition
Active-HDL Plus Edition
Active-HDL Expert Edition

サポート OS

Windows XP / Vista / 7 / Server2003

動作環境

- ・ メインメモリ：256MB 以上（推奨 512MB 以上）
- ・ HDD 容量：400MB（最小）、2.7GB（最大）

ライセンス形態

ノードロック、フローティング

アルデック・ジャパン株式会社

〒160-0022 東京都新宿区新宿1-34-15 新宿エステートビル9F TEL:03-5312-1791 FAX:03-5312-1795
<http://www.aldec.co.jp> sales-jp@aldec.com

* Active-HDL および Aldec は Aldec, Inc. の商標です。その他の製品及び名称は各社の登録商標、商標です。

