



FOR RELEASE December 20, 2007

アルデック社、Active-HDL 7.3 をリリース マルチスレッド HDL コンパイルに対応

HENDERSON, Nevada – 2007年12月20日 --混在言語の検証およびASIC、FPGAデバイス向け先端設計ツールのパイオニアである [Aldec, Inc.](#) (以下 アルデック社) は本日、[Active-HDL 7.3](#) をリリースしたことを発表します。この新バージョンでは、マルチスレッド HDL コンパイル、波形ウィンドウの機能拡張、VHDL 2006 サポート構文の拡張が行われています。また、VHDL、Verilog 及び混在言語のコンパイル、シミュレーション速度が大幅に向上しています。Active-HDL には、グラフィカルデザインエントリ機能、[FPGA 設計フローコントロール機能](#)および VHDL、Verilog、SystemVerilog、SystemC 混在言語のシミュレーションといった豊富な機能が搭載されています。

マルチスレッド VHDL コンパイル

アルデック社では、VHDL デザイン向けのマルチスレッドコンパイル機能を実装しています。マルチコア CUP マシンで実行した場合、コンパイルプロセスは最大で3倍高速化することが確認されています。シングルコア CPU マシンであっても以前のバージョンと比較して平均 40% コンパイル速度が向上しています。

波形ウィンドウの機能拡張

これまでの標準波形ウィンドウ/エディタに加えて Active-HDL 7.3 では高速波形ウィンドウを GUI に統合して提供しています。この高速波形ウィンドウは、4GB を超える大容量の波形ログの表示、ズーム、スクロールといった操作を瞬時に行うことができます。また、Active-HDL 7.3 では以前のバージョンと比較して最大4倍の速さで波形ログの書き込み、読み込みが可能となっています。同時にメモリ使用量の低減、保存される波形ログファイルサイズの低容量化を実現しています。Verilog メモリや VHDL 配列を含んだ信号であっても波形ウィンドウ上で瞬時に展開することができます。この波形ウィンドウは大規模デザインや長時間のシミュレーション実行に最適化して開発されており、[Altera Stratix® III](#) や [Xilinx Virtex™ 5](#) といった大規模 FPGA を使用する設計者にとって理想的なデバッグ環境を提供します。

VHDL 2002 / 2006 サポート

Active-HDL 7.3 では、VHDL 2002 および 2006 構文のサポートを拡張しています。VHDL 2002 (IEEE Std 1076-2002™) で導入された protected type をサポートしています。新バージョンの VHDL コンパイラは、protected envelop、file type および VHDL 2002 protected type 内のエイリアスを含んだソースコードのコンパイルができます。

供給について

Active-HDL は、Desktop Master (DM)、Designer Edition (DE)、Plus Edition (PE) および Exeprt Edition (EE) の4つの[プロダクトラインアップ](#)をご用意しています。ライセンス形態は、フローティングまたはノードロックで提供されます。Active-HDL 7.3 は、アルデック社および各国の販売代理店より供給されます。日本国内の販売およびサポートについては、アルデック・ジャパン株式会社が行います。Active-HDL 7.3 をご試用される方向けに[無償評価プログラム](#)をご用意しています。

アルデック社について

EDA ツールベンダとして23年の歴史を持つアルデック社は、UNIX、Linux および Windows プラットフォームで動作する高性能な HDL 検証ソフトウェアを提供しています。世界各国のオフィスから迅速かつ的確なサポートを行い、顧客ニーズに則したソリューションを提案しています。アルデック社の経営方針は、継続的なキーテクノロジーの革新、製品の品質向上、さらに顧客満足を基盤としています。アルデック社および各製品の詳細情報は、<http://www.aldec.co.jp> をご覧ください。

Active-HDL はアルデック社の商標です。その他全ての商標または登録商標は当該各社に帰属します。

お問合せ: アルデック・ジャパン株式会社
 03-5312-1791
 info@aldec.co.jp